

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



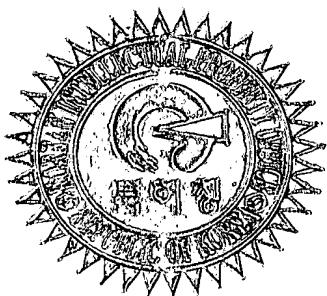
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0086357  
Application Number

출 원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

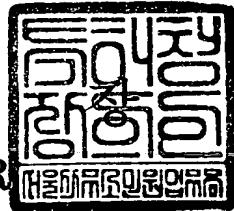
출 원 인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 12 월 26 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【참조번호】	0049	
【제출일자】	2002. 12. 30	
【발명의 명칭】	S T I 제조 방법	
【발명의 영문명칭】	METHOD FOR MANUFACTURING SHALLOW TRENCH ISOLATION	
【출원인】		
【명칭】	동부전자 주식회사	
【출원인코드】	1-1998-106725-7	
【대리인】		
【성명】	장성구	
【대리인코드】	9-1998-000514-8	
【포괄위임등록번호】	1999-059722-7	
【대리인】		
【성명】	김원준	
【대리인코드】	9-1998-000104-8	
【포괄위임등록번호】	1999-059725-9	
【발명자】		
【성명의 국문표기】	이재석	
【성명의 영문표기】	LEE, Jae Suk	
【주민등록번호】	650625-1030024	
【우편번호】	467-900	
【주소】	경기도 이천시 장호원 현대아파트 101-603	
【국적】	KR	
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)	
【수수료】		
【기본출원료】	9	면 29,000 원
【가산출원료】	0	면 0 원

1020020086357

출력 일자: 2003/12/30

【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명은 반도체 소자(semiconductor device)간을 절연시키는 STI(Shallow Trench Isolation)를 제조하는 방법에 관한 것이다. 종래의 기술에 있어서는 STI를 형성하기 위해 RIE(Reactive Ion Etching) 공정을 수행할 때 패드 절연체(pad dielectric)의 일부가 손상되어 결국, STI에 리키지가 발생한다. 본 발명은 STI 내에 전하를 축적할 수 있는 PSG(22)를 삽입함으로써 STI를 통과하려던 전하는 PSG(22) 내에 일단 흡수되도록 한다. 따라서, STI의 리키지가 줄어드는 효과가 있다.

**【대표도】**

도 1g

### 【명세서】

#### 【발명의 명칭】

STI 제조 방법{METHOD FOR MANUFACTURING SHALLOW TRENCH ISOLATION}

#### 【도면의 간단한 설명】

도 1a 내지 도 1g는 본 발명에 따른 STI 제조 방법의 일 실시예를 공정별로 나타낸 단면도.

#### <도면의 주요 부분에 대한 부호의 설명>

10 : 기판                                    12 : TEOS

14 : 나이트라이드                            16 : 포토 레지스트

18, 20 : 제 1, 제 2 라이너                    22 : PSG

24 : USG

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7>         본 발명은 STI(Shallow Trench Isolation) 제조 방법에 관한 것으로, 특히, 반도체 소자(semiconductor device)간을 절연시키는 STI를 제조하는 방법에 관한 것이다.
- <8>         반도체 소자에서 STI는 특정 트랜지스터(transistor)와 다른 트랜지스터 사이를 절연시키는데 널리 이용되고 있다. 그러나 디자인 룰(design rule)이 줄어듬에 따라 STI의 리키지(leakage) 문제가 대두되었고 이로 인해 발생되는 문제를 제거하기 위해 곧 DTI(Deep Trench Isolation)의 도입이 필요하게 될 것이라는 전망이 나오고 있다.

- <9> 종래의 STI를 제조하는 방법에 있어서, 먼저, 실리콘 기판(silicon substrate) 위의 STI 영역을 제외한 표면에 패드 절연체(pad dielectric)를 선택적으로 형성한다. 다음, RIE(Reactive Ion Etching) 공정을 수행하여 패드 절연체 영역을 제외한 실리콘 기판을 일정 깊이 제거하여 STI를 형성한다. 이어, 열화시키고 절연체를 전표면에 덮은 후 평탄화한다.
- <10> 그러나, 이와 같은 종래의 기술에 있어서는 STI를 형성하기 위해 RIE 공정을 수행할 때 패드 절연체의 일부가 손상되어 결국, STI에 리키지가 발생한다.

#### 【발명이 이루고자 하는 기술적 과제】

- <11> 본 발명은 상술한 결점을 해결하기 위하여 안출한 것으로, STI 내에 전하를 축적할 수 있는 PSG를 삽입하여 STI의 리키지를 줄이는 STI 제조 방법을 제공하는 데 그 목적이 있다.
- <12> 【발명의 구성 및 작용】
- <13> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하면 다음과 같다.
- <14> 도 1a 내지 도 1g는 본 발명에 따른 STI 제조 방법의 일 실시예를 공정별로 나타낸 단면 도이다.

- <15> 먼저, 도 1a와 같이 실리콘 기판(10) 위에 패드 절연체인 TEOS(Tetra Ethyl Ortho Silicate)(12) 및 나이트라이드(nitride)(14)를 LPCVD(Low Pressure Chemical Vapor Deposition) 방법을 사용하여 차례로 적층한다. 나이트라이드(14) 위 STI 영역을 제외한 표면에 포토 레지스트(Photo Resist : PR)(16)를 선택적으로 형성한다.
- 도 1b와 같이 RIE 공정을 수행하여 포토 레지스트(16) 영역 이외의 TEOS(12) 및 나이트라이드(14)를 제거한다. 포토 레지스트(16)를 제거한다.

- <16> 도 1c와 같이 RIE 공정을 수행하여 나이트라이드(14) 영역 이외의 실리콘 기판(10)을 일정 깊이 제거하여 STI를 형성한다.
- <17> 도 1d와 같이 전표면에 제 1 라이너(liner)(18)를 형성한다. 상기 제 1 라이너(18)는 LP-TEOS(Low Pressure-Tetra Ethyl Ortho Silicate) 또는 열 산화막(thermal oxidation)으로 이루어진다.
- <18> 도 1e와 같이 전표면에 제 2 라이너(20)를 O3-TEOS 또는 HDP-CVD 방법으로 형성한다.
- <19> 도 1f와 같이 전표면에 PSG(22)를 O3-TEOS 또는 HDP-CVD 방법으로 형성한다.
- <20> 도 1g와 같이 STI 내부에 USG(24)를 HDP CVD 또는 O3-TEOS 방법으로 채운후 화학적 기계적 연마 공정 등의 평탄화 공정을 수행한다.

#### 【발명의 효과】

- <21> 이상에서 설명한 바와 같이, 본 발명은 STI 내에 전하를 축적할 수 있는 PSG(22)를 삽입함으로써 STI를 통과하려던 전하는 PSG(22) 내에 일단 흡수되도록 한다. 따라서, STI의 리키지가 줄어드는 효과가 있다.

**【특허청구범위】****【청구항 1】**

기판 위에 TEOS 및 나이트라이드를 차례로 적층하는 제 1 단계;

상기 나이트라이드 위 STI 영역을 제외한 표면에 포토 레지스트를 선택적으로 형성하는 제 2 단계;

상기 포토 레지스트 영역 이외의 상기 TEOS 및 상기 나이트라이드를 제거하는 제 3 단계;

상기 포토 레지스트를 제거하는 제 4 단계;

상기 나이트라이드 영역 이외의 상기 기판을 일정 깊이 제거하여 STI를 형성하는 제 5 단계;

전표면에 제 1 라이너를 형성하는 제 6 단계;

전표면에 제 2 라이너를 형성하는 제 7 단계;

전표면에 PSG를 형성하는 제 8 단계; 및

상기 STI 내부에 USG를 채운후 평탄화 공정을 수행하는 제 9 단계를 포함하는 STI 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 기판은 실리콘 기판인 것을 특징으로 하는 STI 제조 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 제 1 단계는 상기 TEOS 및 상기 나이트라이드를 LPCVD 방법을 사용하여 차례로 적층하는 것을 특징으로 하는 STI 제조 방법.

**【청구항 4】**

제 1 항에 있어서, 상기 제 3 단계는 RIE 공정을 수행하여 상기 포토 레지스트 영역 이외의 상기 TEOS 및 상기 나이트라이드를 제거하는 것을 특징으로 하는 STI 제조 방법.

**【청구항 5】**

제 1 항에 있어서, 상기 제 5 단계는 RIE 공정을 수행하여 상기 나이트라이드 영역 이외의 상기 기판을 일정 깊이 제거하는 것을 특징으로 하는 STI 제조 방법.

**【청구항 6】**

제 1 항에 있어서, 상기 제 1 라이너는 LP-TEOS 또는 열 산화막으로 이루어지는 것을 특징으로 하는 STI 제조 방법.

**【청구항 7】**

제 1 항에 있어서, 상기 제 7 단계는 상기 제 2 라이너를 O3-TEOS 또는 HDP-CVD 방법으로 형성하는 것을 특징으로 하는 STI 제조 방법.

**【청구항 8】**

제 1 항에 있어서, 상기 제 8 단계는 상기 PSG를 O3-TEOS 또는 HDP-CVD 방법으로 형성하는 것을 특징으로 하는 STI 제조 방법.

**【청구항 9】**

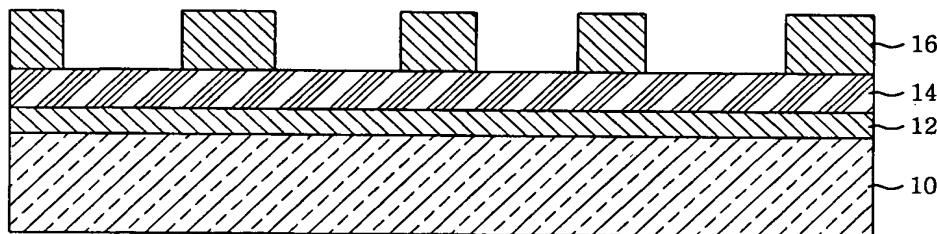
제 1 항에 있어서, 상기 제 9 단계는 상기 STI 내부에 USG를 HDP CVD 또는 O3-TEOS 방법으로 채우는 것을 특징으로 하는 STI 제조 방법.

• 【청구항 10】

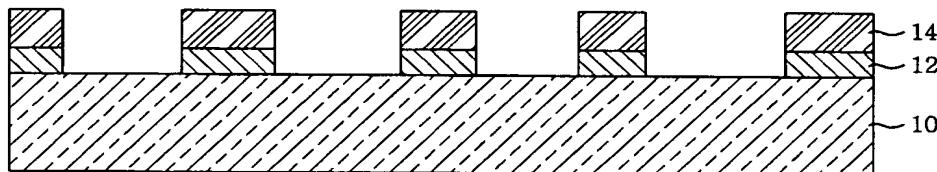
제 1 항에 있어서, 상기 평탄화 공정은 화학적 기계적 연마 공정인 것을 특징으로 하는 STI 제조 방법.

## 【도면】

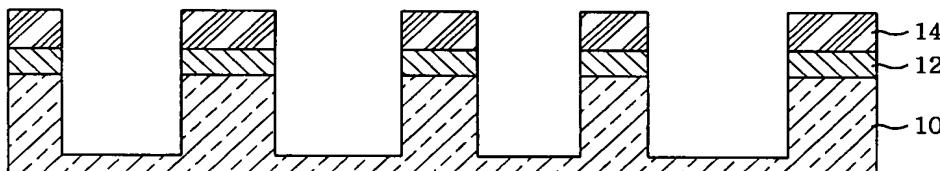
【도 1a】



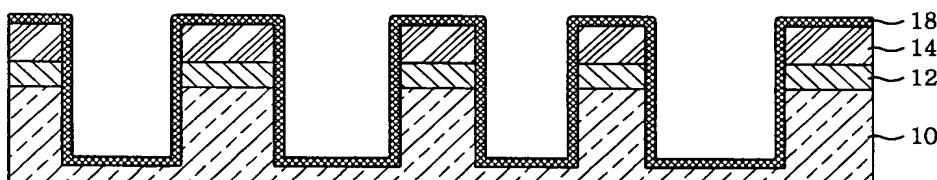
【도 1b】



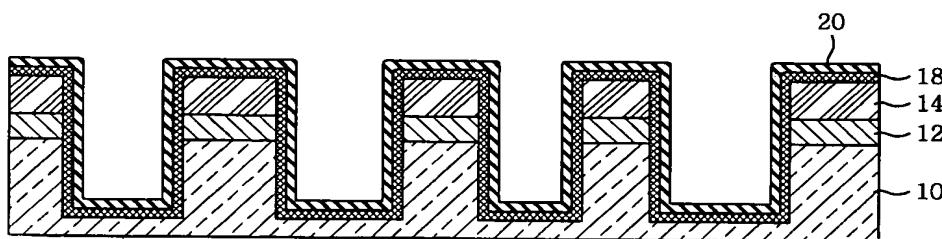
【도 1c】



【도 1d】



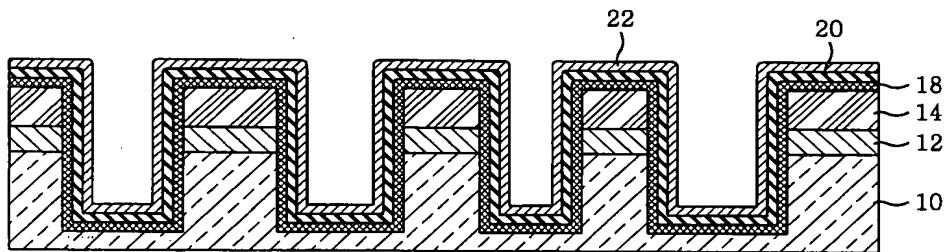
【도 1e】



1020020086357

출력 일자: 2003/12/30

【도 1f】



【도 1g】

